

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-065586

(43)Date of publication of application : 10.03.1995

---

---

(51)Int.Cl. G11C 16/06

---

---

(21)Application number : 05-212419 (71)Applicant : IWAKI ELECTRON CORP LTD

(22)Date of filing : 27.08.1993 (72)Inventor : KANEMOTO TETSUYA  
WAKABAYASHI MASAMI  
TAKAHASHI KAZUNORI  
IIJIMA HIROSHIGE  
TAKAHAGI HIROSHI  
KUNII NOBUTAKA

---

---

(54) ACCESS SYSTEM FOR EEPROM

(57)Abstract:

PURPOSE: To lessen the number of times of writing by checking rewriting of the same data on the occasion of writing in EEPROM.

CONSTITUTION: In response to a write request from another host, an R/W control circuit 2 sets E2PROM 1 in a read modify mode, makes \*CS (chip select signal) active and sets a read cycle. Addresses A0 to A7 to be written are inputted to the E2PROM 1. Thereby a read register 3 is made to hold data D0 to D7 at the time of the read cycle. A comparator circuit 4 compares these data with data WD0 to WD7 to be written. Only when they are not coincident, the R/W control circuit 2 makes a signal \*WE in the next write cycle and writing is made in the E2PROM 1. In the case when

they are coincident, \*WE is not made active and the writing in the E2PROM is stopped. Accordingly, no rewriting of the same data is executed and thus the number of times of writing of data can be lessened to the necessary minimum.

---

---

LEGAL STATUS [Date of request for examination] 02.12.1996

[Date of sending the examiner's decision of rejection] 11.01.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

#### \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

#### CLAIMS

---

[Claim(s)]

[Claim 1] Data are held even if it writes in and carries out power off of the data electrically. EEPROM which can be read (1), The lead register which reads from this EEPROM (1) and holds data (3), Whether the data held to this lead register (3) and the data which it is going to write in the same field are the same, and the comparator circuit to compare (4), The data read from the EEPROM (1) concerned are made to hold to the above-mentioned lead register (3) corresponding to the write request to EEPROM (1) of data. At the time of the notice of the purport which compares and is in agreement with the above-mentioned comparator circuit (4), the data held to the lead

register (3) concerned, and the data which it is going to write in The EEPROM access method characterized by having the read/write control circuit (2) which writes data in EEPROM (1) at the time of the notice of the purport which stops writing data in EEPROM (1) and carries out an inequality on the other hand.

[Claim 2] The EEPROM access method according to claim 1 characterized by constituting so that the data read by the read cycle of the lead modification function of Above EEPROM (1) may be held to the above-mentioned lead register (3) and data may be written in in the continuing light cycle only at the time of the above-mentioned inequality.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Industrial Application] This invention relates to the EEPROM access method which writes data in EEPROM. Since the count which writes data in EEPROM has a limit, to inhibit the rewrite of the same data, to reduce the count of writing as much as possible, and to abolish generating of the error by limit of the count of writing etc. is desired.

#### [0002]

[Description of the Prior Art] Conventionally, as a storage holding data, floppy equipment and RAM are used for the battery back-up at the time of power off, carrying out. It will become expensive when there is little amount of data.

[0003] For this reason, when there is little amount of data, data are written in electrically, even if it disconnects a power source, those contents are held and EEPROM which is the memory which can be read is used. This EEPROM is used as read-only memories, such as a boot ROM of a processor. This EEPROM has a limit in the count of writing while time amount requires a write cycle with about 10ms from on that property.

#### [0004]

[Problem(s) to be Solved by the Invention] Although it cannot be used for the application which writes in and uses data frequently since EEPROM mentioned above has a limit in the count of writing, it is suitable for the application used as a read-only memory possible rewriting of data and usually read-only like the boot ROM mentioned above. However, there was a limit of the count of writing and there was a problem that a limit will arise in use. For this reason, to ease a limit of the substantial count of writing of data is desired.

[0005] In order that this invention may solve these problems, in case it writes data in

EEPROM, it inhibits the rewrite of the same data, and aims at aiming at relaxation of a limit of the count of writing.

[0006]

[Means for Solving the Problem] With reference to drawing 1, The means for solving a technical problem is explained. In drawing 1, even if EEPROM1 writes in and carries out power off of the data electrically, it holds data, and it is the memory which can be read.

[0007] that the read/write control circuit 2 writes data in EEPROM1 only when the data read from EEPROM1 are made to hold to the lead register 3 or the notice of the purport which compares and carries out the inequality of the data which the lead register 3 held, and the data which it is going to write in by the comparator circuit 4 is received \*\*\*\* -- etc. -- it carries out.

[0008] The lead register 3 holds the data read from EEPROM1. A comparator circuit 4 compares whether the data held to the lead register 3 and the data which it is going to write in the same field are the same.

[0009]

[Function] He is trying for this invention to write data in EEPROM1 only at the time of the notice of the purport which compares and carries out the inequality of the data which were made to hold the data which the read/write control circuit 2 read from EEPROM1 to the lead register 3 corresponding to the write request to EEPROM1 of data, and the lead register 3 held, and the data which it is going to write in by the comparator circuit 4, as shown in drawing 1.

[0010] Under the present circumstances, he holds the data read by the read cycle of the lead modification function of EEPROM1 to the lead register 3, and is trying to write data in EEPROM1 in the continuing light cycle only at the time of an inequality.

[0011] Therefore, in case data are written in EEPROM1, it becomes possible by inhibiting the rewrite of the same data to reduce the count of writing of the data to EEPROM.

[0012]

[Example] Next, the configuration and actuation of the example of this invention are explained to a detail one by one using drawing 1 and drawing 2.

[0013] Drawing 1 shows 1 example block diagram of this invention. In drawing 1, even if EEPROM1 writes in and carries out power off of the data electrically, it holds data, and it is the memory which can be read. As shown in (b) of drawing 1, this EEPROM1 can have a lead modification function, can have a light cycle after a read cycle, and can usually be written in now following read-out.

[0014] that the read/write control circuit 2 writes data in EEPROM1, or reads them \*\*\*\* -- etc. -- writing data in the same field (address) in the light cycle which is the control circuit to carry out, is made to hold the data led from EEPROM1 by the read cycle of the lead modification function of (b) of drawing 1 to the lead register 3 here,

or continues \*\*\* -- etc. -- it carries out. Under the present circumstances, when the data led by the read cycle held to the lead register 3 and the data which it is going to write in from now on are in agreement, the writing of data is stopped, and reduction of the count of writing is aimed at.

[0015] The lead register 3 holds temporarily the data read from EEPROM1 at the time of a read cycle. A comparator circuit 4 compares whether the data held to the lead register 3 and the data which it is going to write in from now on are in agreement.

[0016] Next, actuation of the configuration of (a) of drawing 1 is explained using the timing diagram of (b) of drawing 1.

(1) The read/write control circuit 2 receives a write request from the host besides illustration.

[0017] (2) Corresponding to the write request of (1), the read/write control circuit 2 sets EEPROM1 as lead modification mode, activates \*CS, and makes it \*\* read cycle of (b) of drawing 1. Under the present circumstances, the addresses A0-A7 which it is going to write in are inputted into EEPROM1. Thereby, data D0-D7 are led from the address which it is going to write in, and it is made to hold as lead data to the lead register 3 at the time of \*\* read cycle.

[0018] (3) Distinguish whether by (2), the lead data made to hold to the lead register 3 and the data WD0-WD7 which it is going to write in are inputted into a comparator circuit 4, and it is in agreement.

(4) Only when it turns out to be inharmonious at (3), the read/write control circuit 2 activates light signal \*WE in the following \*\* light cycle, and writes data in EEPROM1. On the other hand, when proved by (3) that it is coincidence, the read/write control circuit 2 does not activate light signal \*WE in the following \*\* light cycle, and stops writing data in EEPROM1.

[0019] Only when not in agreement [ with the above / from the address which it is going to write in from EEPROM1 / as compared with the data which are going to read data and it is going to write in ] corresponding to a write request, by writing data in EEPROM1, performing the re-writing of the same data is lost and it becomes possible to reduce the count of writing of data to necessary minimum.

[0020] Next, actuation of the configuration of (a) of drawing 1 is explained to a detail using the timing diagram of drawing 2. In drawing 2, \*\*s are the addresses A0-A7. This is the addresses A0-A7 inputted in order to write data in EEPROM1.

[0021] \*\* It is a write request signal and is the write request signal inputted into the read/write control circuit 2 from the host besides illustration. \*\* It is \*CS (chip select) signal and is the signal which chooses the chip of the arbitration of EEPROM1.

[0022] \*\* It is lead data and is data (lead data) read from EEPROM1. \*\* It is a lead register and hold temporarily the lead data read from EEPROM1.

[0023] \*\* It is the light data WD0-WD7, and is data (light data WD0-WD7) which had the write request in EEPROM1 from the host. \*\* It is the comparison output of

coincidence and is a signal (H level) when lead data and light data are inputted into a comparator circuit 4 and both are in agreement. since the same data are already written in EEPROM1 and it is not necessary to perform re-writing, when this lead data and light data are in agreement -- \*\* light signal \*WE -- being active (L level) -- it does not carry out and stops writing data in EEPROM1.

[0024] On the other hand, it is the comparison output of an inequality, and \*\* inputs lead data and light data into a comparator circuit 4, and is a signal (L level) in case both are inequalities. since the same data are not written in EEPROM1 and it is necessary to write in data, when this lead data and light data are inequalities -- (10) light signals \*WE -- being active (L level) -- it carries out and data are written in EEPROM1.

[0025] Next, actuation is explained.

(1) As a write request from a host, while inputting the \*\* addresses A0-A7 into EEPROM1, make the write request signal of \*\* into L level.

[0026] (2) \*\*\*CS to which a chip select signal corresponds -- being active (L level) -- carry out.

(3) Lead data are read from EEPROM1 which corresponds by (1) and (2) (read cycle of (b) of drawing 1 ).

[0027] (4) \*\* lead data are made to hold to the lead register 3, and compare light data in a comparator circuit 4, for example, in the case of the comparison output of coincidence of \*\*, don't activate \*\*\*WE, and end (since lead data and light data were the same and it is not necessary to write in EEPROM1, the writing of light data is stopped).

[0028] (5) On the other hand, \*\* lead data are made to hold to the lead register 3, and compare light data in a comparator circuit 4, for example, in the case of the comparison output of the inequality of \*\*, activate (10) \*WE, and write \*\* light data in EEPROM1 (since lead data and light data were not the same and it is necessary to write in EEPROM1, light data are written in).

[0029] By the above, corresponding to the write request of data, when the lead data and light data which were led from EEPROM1 with lead modification mode are in agreement, the writing to EEPROM1 is stopped, and on the other hand, light data are written in EEPROM1 at the time of an inequality. This becomes possible to reduce the count of writing to EEPROM1 to necessary minimum.

[0030]

[Effect of the Invention] Since the configuration which inhibits the rewrite of the same data is adopted according to this invention in case data are written in EEPROM1 as explained above, the count of writing of the data to EEPROM is reducible to necessary minimum. Thereby, the count of writing of EEPROM is used effectively for the maximum, and memory holding the data written in even if it carried out powering off by low cost can be realized.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is 1 example block diagram of this invention.

[Drawing 2] It is the timing diagram of this invention.

[Description of Notations]

1:EEPROM

2: Read/write control circuit

3: Lead register

4: Comparator circuit

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-65586

(43)公開日 平成7年(1995)3月10日

(51)Int.Cl.<sup>a</sup>  
G 11 C 16/06

識別記号  
6866-5L

府内整理番号  
F I  
G 11 C 17/ 00

技術表示箇所  
510 E

審査請求 未請求 請求項の数2 OL (全4頁)

(21)出願番号 特願平5-212419

(22)出願日 平成5年(1993)8月27日

(71)出願人 390022792  
いわき電子株式会社  
東京都港区新橋5丁目36番11号  
(72)発明者 兼本 哲也  
東京都港区新橋5丁目36番11号 いわき電子株式会社内  
(72)発明者 若林 正美  
東京都港区新橋5丁目36番11号 いわき電子株式会社内  
(72)発明者 高橋 一憲  
東京都港区新橋5丁目36番11号 いわき電子株式会社内  
(74)代理人 弁理士 岡田 守弘

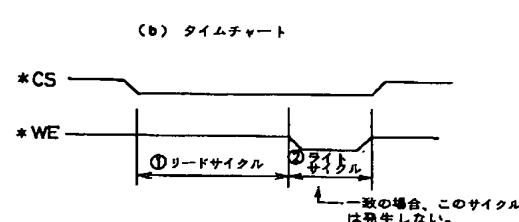
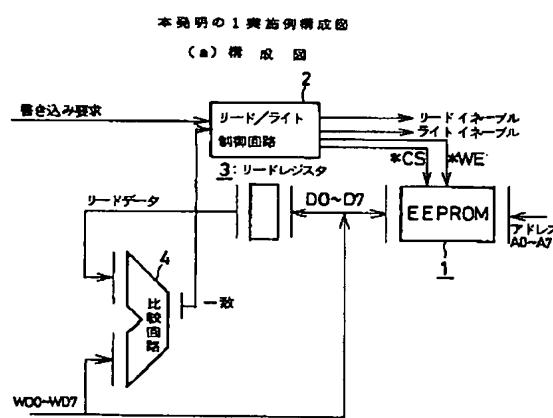
最終頁に続く

(54)【発明の名称】 EEPROMアクセス方式

(57)【要約】

【目的】 本発明は、データをEEPROMに書き込むEEPROMアクセス方式に関し、データをEEPROMに書き込む際に同一データの再書き込みを抑止し、書き込み回数の制限を緩和することを目的とする。

【構成】 電気的にデータを書き込み電源断してもデータを保持し、読み出し可能なEEPROMと、このEEPROMから読み出してデータを保持するリードレジスタ3と、このリードレジスタ3に保持したデータと同じ領域に書き込もうとするデータとが同一か比較する比較回路4と、データのEEPROMへの書き込み要求に対応して、当該EEPROMから読み出したデータをリードレジスタ3に保持させ、当該リードレジスタ3に保持したデータと書き込もうとするデータとを比較回路4によって比較して一致する旨の通知のときに、データをEEPROMに書き込むことを中止し、一方、不一致する旨の通知のときにデータをEEPROMに書き込むリード/ライト制御回路2とを備えるように構成する。



1

**【特許請求の範囲】**

【請求項1】電気的にデータを書き込み電源断してもデータを保持し、読み出し可能なEEPROM(1)と、このEEPROM(1)から読み出してデータを保持するリードレジスタ(3)と、このリードレジスタ(3)に保持したデータと同じ領域に書き込もうとするデータとが同一か比較する比較回路(4)と、

データのEEPROM(1)への書き込み要求に対応して、当該EEPROM(1)から読み出したデータを上記リードレジスタ(3)に保持させ、当該リードレジスタ(3)に保持したデータと書き込もうとするデータとを上記比較回路(4)によって比較して一致する旨の通知のときに、データをEEPROM(1)に書き込むことを中止し、一方、不一致する旨の通知のときにデータをEEPROM(1)に書き込むリード/ライト制御回路(2)とを備えたことを特徴とするEEPROMアクセス方式。

【請求項2】上記EEPROM(1)のリードモディファイ機能のリードサイクルで読み出したデータを上記リードレジスタ(3)に保持し、続くライトサイクルで上記不一致のときにのみデータを書き込むように構成したことを特徴とする請求項1記載のEEPROMアクセス方式。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、データをEEPROMに書き込むEEPROMアクセス方式に関するものである。EEPROMにデータを書き込む回数に制限があるため、同一データの再書き込みを抑止し、書き込み回数を可及的に削減してその書き込み回数の制限によるエラーなどの発生を無くすことが望まれている。

**【0002】**

【従来の技術】従来、電源断時にデータを保持する記憶媒体としては、フロッピイ装置やRAMをバッテリバックアップを行って使用している。データ量が少ない場合には、高価なものとなってしまう。

【0003】このため、データ量が少ない場合などに、電気的にデータを書き込み、電源を切断してもその内容を保持して読み出し可能なメモリであるEEPROMが使われる。このEEPROMは、例えばプロセッサのブートROMなどのリードオンリメモリとして使用する。このEEPROMは、その性質上から書き込みサイクルが10ms位と時間がかかると共に、書き込み回数に制限がある。

**【0004】**

【発明が解決しようとする課題】上述したEEPROMは、書き込み回数に制限があるため、頻繁にデータを書き込んで使用する用途には使用できないが、上述したブートROMなどのように、データの書換えが可能であつ

2

て、通常は読み出し専用のリードオンリメモリとして使用する用途には適している。しかし、書き込み回数の制限があり、使用に制限が生じてしまうという問題があった。このため、データの実質的な書き込み回数の制限を緩和することが望まれている。

【0005】本発明は、これらの問題を解決するため、データをEEPROMに書き込む際に同一データの再書き込みを抑止し、書き込み回数の制限の緩和を図ることを目的としている。

**【0006】**

【課題を解決するための手段】図1を参照して課題を解決するための手段を説明する。図1において、EEPROM1は、電気的にデータを書き込み電源断してもデータを保持し、読み出し可能なメモリである。

【0007】リード/ライト制御回路2は、EEPROM1から読み出したデータをリードレジスタ3に保持させたり、リードレジスタ3の保持したデータと書き込もうとするデータとを比較回路4によって比較して不一致する旨の通知を受けたときにのみデータをEEPROM1に書き込んだりなどするものである。

【0008】リードレジスタ3は、EEPROM1から読み出したデータを保持するものである。比較回路4は、リードレジスタ3に保持したデータと同じ領域に書き込もうとするデータとが同一か比較するものである。

**【0009】**

【作用】本発明は、図1に示すように、データのEEPROM1への書き込み要求に対応して、リード/ライト制御回路2がEEPROM1から読み出したデータをリードレジスタ3に保持させ、リードレジスタ3の保持したデータと書き込もうとするデータとを比較回路4によって比較して不一致する旨の通知のときにのみデータをEEPROM1に書き込むようにしている。

【0010】この際、EEPROM1のリードモディファイ機能のリードサイクルで読み出したデータをリードレジスタ3に保持し、続くライトサイクルで不一致のときのみデータをEEPROM1に書き込むようにしている。

【0011】従って、データをEEPROM1に書き込む際に同一データの再書き込みを抑止することにより、EEPROMへのデータの書き込み回数を削減することが可能となる。

**【0012】**

【実施例】次に、図1および図2を用いて本発明の実施例の構成および動作を順次詳細に説明する。

【0013】図1は、本発明の1実施例構成図を示す。図1において、EEPROM1は、電気的にデータを書き込んで電源断してもデータを保持し、読み出し可能なメモリである。このEEPROM1は、通常、図1の(b)に示すように、リードモディファイ機能を持ち、リードサイクルに続けてライトサイクルを持ち、読み出

50

しに続いて書き込みを行なうことができるようになっている。

【0014】リード／ライト制御回路2は、EEPROM1にデータを書き込んだり、読みだしたりなどする制御回路であって、ここでは、図1の(b)のリードモディファイ機能のリードサイクルでEEPROM1からリードしたデータをリードレジスタ3に保持させたり、続くライトサイクルでデータを同一の領域(アドレス)に書き込んだりなどするものである。この際、リードレジスタ3に保持したリードサイクルでリードしたデータと、これから書き込もうとするデータとが一致した場合にデータの書き込みを中止し、書き込み回数の削減を図っている。

【0015】リードレジスタ3は、EEPROM1からリードサイクル時に読み出したデータを一時的に保持するものである。比較回路4は、リードレジスタ3に保持したデータと、これから書き込もうとするデータとが一致するか否かを比較するものである。

【0016】次に、図1の(b)のタイムチャートを用いて図1の(a)の構成の動作を説明する。

(1) 図示外のホストから書き込み要求をリード／ライト制御回路2が受け付ける。

【0017】(2) リード／ライト制御回路2は、(1)の書き込み要求に対応して、EEPROM1をリードモディファイモードに設定し、\*CSをアクティブにし、図1の(b)の①リードサイクルにする。この際、書き込もうとするアドレスA0～A7をEEPROM1に入力する。これにより、①リードサイクル時に、書き込もうとするアドレスからデータD0～D7をリードしてリードレジスタ3にリードデータとして保持させる。

【0018】(3) (2)でリードレジスタ3に保持させたリードデータと、書き込もうとするデータWD0～WD7とを比較回路4に入力し、一致するか判別する。

(4) (3)で不一致と判明した場合のみ、リード／ライト制御回路2が次の②ライトサイクルでライト信号\*WEをアクティブにし、データをEEPROM1に書き込む。一方、(3)で一致と判明した場合、リード／ライト制御回路2が次の②ライトサイクルでライト信号\*WEをアクティブにしなく、データをEEPROM1に書き込むことを中止する。

【0019】以上によって、書き込み要求に対応して、EEPROM1より書き込もうとするアドレスからデータを読み出し、書き込もうとするデータと比較して一致しないときにのみデータをEEPROM1に書き込むことにより、同一データの再書き込みを行なうことがなくなり、データの書き込み回数を必要最小限に削減することが可能となる。

【0020】次に、図2のタイムチャートを用いて図1

の(a)の構成の動作を詳細に説明する。図2において、①は、アドレスA0～A7である。これは、EEPROM1にデータを書き込むために入力するアドレスA0～A7である。

【0021】②は、書き込み要求信号であり、図示外のホストからリード／ライト制御回路2に入力される書き込み要求信号である。③は、\*CS(チップセレクト)信号であって、EEPROM1の任意のチップを選択する信号である。

10 【0022】④は、リードデータであって、EEPROM1から読みだされたデータ(リードデータ)である。⑤は、リードレジスタであって、EEPROM1から読みだされたリードデータを一時的に保持するものである。

【0023】⑥は、ライトデータWD0～WD7であって、ホストからEEPROM1に書き込み要求のあったデータ(ライトデータWD0～WD7)である。⑦は、一致の比較出力であって、リードデータとライトデータとを比較回路4に入力して両者が一致したときの信号

20 (Hレベル)である。このリードデータとライトデータとが一致した場合には、EEPROM1に既に同一データが書き込まれているので、再書き込みを行なう必要がないので、⑧ライト信号\*WEをアクティブ(Lレベル)にしなく、データをEEPROM1に書き込むことを中止する。

【0024】一方、⑨は、不一致の比較出力であって、リードデータとライトデータとを比較回路4に入力して両者が不一致のときの信号(Lレベル)である。このリードデータとライトデータとが不一致の場合には、EEPROM1に同一データが書き込まれていないので、データを書き込む必要があるので、(10)ライト信号\*WEをアクティブ(Lレベル)にし、データをEEPROM1に書き込む。

【0025】次に、動作を説明する。

(1) ホストからの書き込み要求として、①アドレスA0～A7をEEPROM1に入力すると共に②の書き込み要求信号をLレベルにする。

【0026】(2) チップセレクト信号の該当する③\*CSをアクティブ(Lレベル)にする。

40 (3) (1)および(2)によって該当するEEPROM1からリードデータが読みだされる(図1の(b)のリードサイクル)。

【0027】(4) ④リードデータをリードレジスタ3に保持させ、ライトデータとを比較回路4で比較し、例えば⑦の一致の比較出力の場合、⑧\*WEをアクティブにしなく、終了する(リードデータとライトデータが同一であったので、EEPROM1に書き込む必要がないので、ライトデータの書き込みを中止する)。

【0028】(5) 一方、④リードデータをリードレジスタ3に保持させ、ライトデータとを比較回路4で比

較し、例えば⑨の不一致の比較出力の場合、(10) \* WEをアクティブにし、⑩ライトデータをEEPROM 1に書き込む(リードデータとライトデータが同一でなかったので、EEPROM 1に書き込む必要があるので、ライトデータを書き込む)。

【0029】以上によって、データの書き込み要求に対応して、リードモディファイモードによって、EEPROM 1からリードしたリードデータとライトデータとが一致したときにEEPROM 1への書き込みを中止し、一方、不一致のときにライトデータをEEPROM 1に書き込む。これにより、EEPROM 1への書き込み回数を必要最小限に削減することが可能となる。

#### 【0030】

【発明の効果】以上説明したように、本発明によれば、\*

\*データをEEPROM 1に書き込む際に同一データの再書き込みを抑止する構成を採用しているため、EEPROMへのデータの書き込み回数を必要最小限に削減できる。これにより、EEPROMの書き込み回数を最大限に有効活用し、低コストで電源切断しても書き込んだデータを保持するメモリを実現できる。

#### 【図面の簡単な説明】

【図1】本発明の1実施例構成図である。

【図2】本発明のタイムチャートである。

#### 【符号の説明】

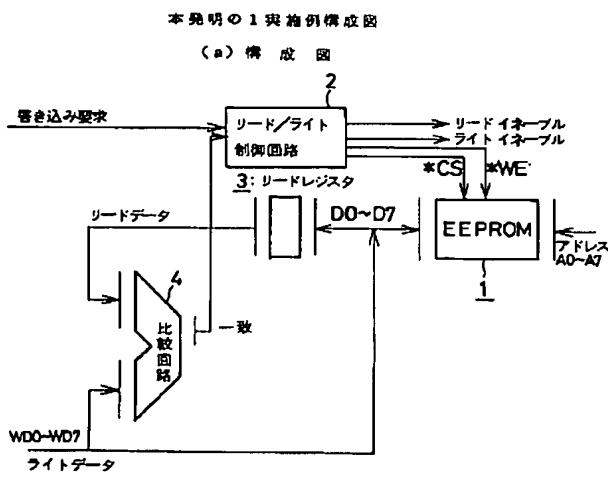
1 : EEPROM

2 : リード／ライト制御回路

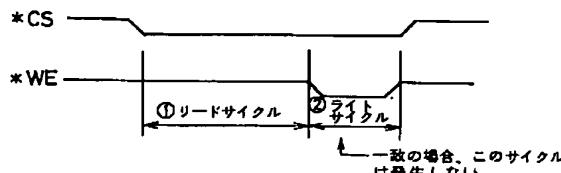
3 : リードレジスタ

4 : 比較回路

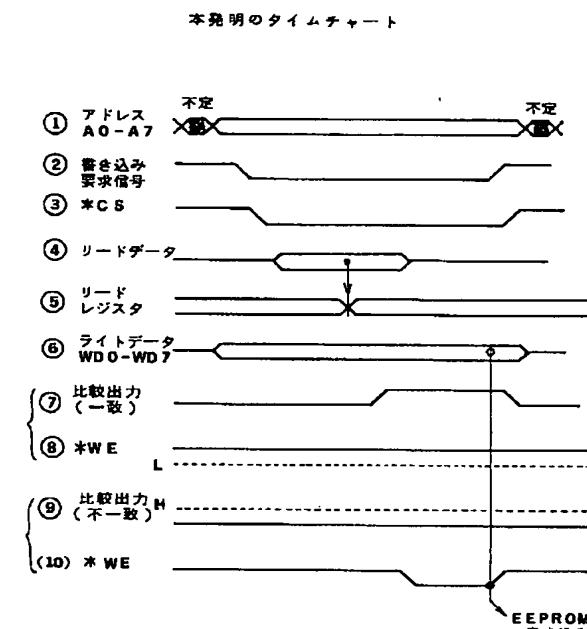
【図1】



(b) タイムチャート



【図2】



#### フロントページの続き

(72)発明者 飯島 浩栄  
東京都港区新橋5丁目36番11号 いわき電子株式会社内

(72)発明者 高萩 浩  
東京都港区新橋5丁目36番11号 いわき電子株式会社内  
(72)発明者 国井 宣孝  
東京都港区新橋5丁目36番11号 いわき電子株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-135698

(43)Date of publication of application : 03.08.1984

---

---

(51)Int.Cl. G11C 17/00

---

---

(21)Application number : 58-007266 (71)Applicant : HITACHI LTD  
HITACHI MICRO COMPUT ENG LTD

(22)Date of filing : 21.01.1983 (72)Inventor : NABEYA SHINJI  
SATO NOBUYUKI

---

---

(54) EEPROM DEVICE

(57)Abstract:

PURPOSE: To reduce a data rewrite time by erasing a data of a memory cell only when a data written newly is different from the data written already in the address location and writing a new data to save the time required for the write of data without change.

CONSTITUTION: When an input data is coincident with a read data, no rewrite of data is executed and the time required for the erase and write is omitted. When the input data is not coincident with the read data, an output of a gate circuit 9 goes to a high level and an erase circuit 10 is operated. Then, the data in a memory cell corresponding to the address signal applied for the case is erased by 8-bits at the same time. Then, a write circuit 11 is operated by a pulse outputted from the erase circuit 10 at the end of data erase so that the new input data is written in the erased memory cell. Thus, the rewrite time required for the entire EEPROM device is reduced

remarkably.

---

---

**LEGAL STATUS** [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]